

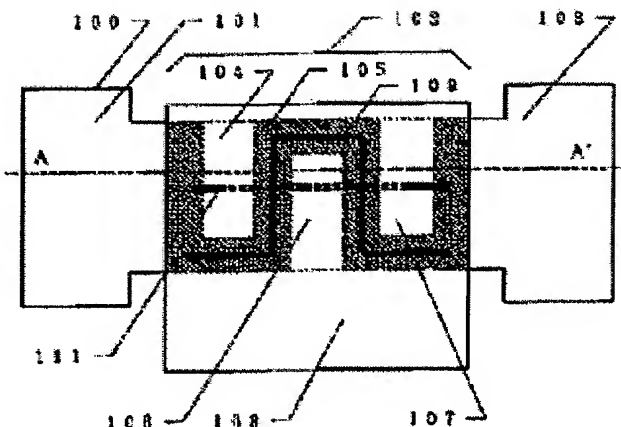
DISPLAY

Patent number: JP9270518
Publication date: 1997-10-14
Inventor: YAMAZAKI SHUNPEI; KOYAMA JUN; HIRAKATA YOSHIHARU; TERAMOTO SATOSHI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: **H01L29/786; H01L29/66;** (IPC1-7): H01L29/786
- european:
Application number: JP19960101856 19960401
Priority number(s): JP19960101856 19960401

Report a data error here

Abstract of JP9270518

PROBLEM TO BE SOLVED: To enable to constitute a circuit with high withstand voltage thin film transistors in an active matrix display device. **SOLUTION:** In an N channel thin film transistor, N-type regions 104, 106 and 107 are arranged inside a channel forming region 102. OFF current flows through the path denoted by 109 in OFF operation in which negative voltage is applied to the gate electrode. On current flows through a path denoted by 111 in ON operation in which positive voltage is applied to the gate electrode. The thin film transistors of such configuration are arranged to the part of the active matrix liquid crystal display where high withstand voltage is required.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-270518

(43) 公開日 平成9年(1997)10月14日

(51) Int.Cl.⁶

H 0 1 L 29/786

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 2 B

6 1 3 A

審査請求 未請求 請求項の数9 F D (全 18 頁)

(21) 出願番号 特願平8-101856

(22) 出願日 平成8年(1996)4月1日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 平形 吉晴

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

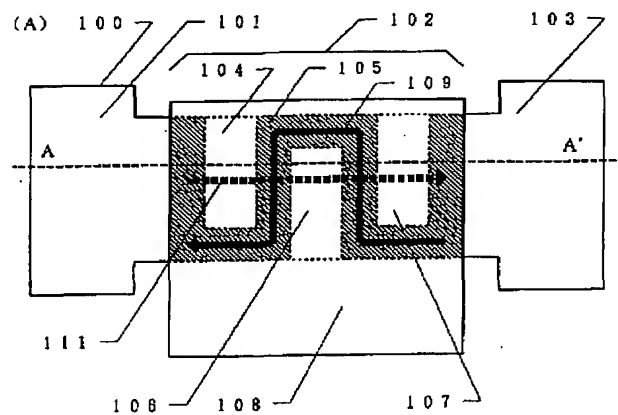
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 アクティブマトリクス型の表示装置において、高耐圧を有する薄膜トランジスタで回路を構成する。

【構成】 Nチャネル型の薄膜トランジスタにおいて、チャネル形成領域102内にN型の領域104と106と107を配置する。このようにすることで、ゲイト電極に負の電圧を印加したOFF動作時には、109で示される経路でOFF電流が流れる。一方、ゲイト電極に正の電圧を印加したON動作時には、111で示される経路でON電流が流れる。このような構成の薄膜トランジスタをアクティブマトリクス型の液晶表示装置の高耐圧が要求される部分に配置する。



【特許請求の範囲】

【請求項1】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは本質的に動作原理が異なることを特徴とする表示装置。

【請求項2】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは本質的に異なる構造を有していることを特徴とする表示装置。

【請求項3】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記周辺駆動回路には本質的に異なる構造を有する少なくとも2種類の薄膜トランジスタが配置されており、前記2種類の薄膜トランジスタの一方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に同一の構造を有し、前記2種類の薄膜トランジスタの他方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に異なる構造を有することを特徴とする表示装置。

【請求項4】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記周辺駆動回路には本質的に異なる動作原理で動作する少なくとも2種類の薄膜トランジスタが配置されており、前記2種類の薄膜トランジスタの一方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に同一の動作原理で動作し、前記2種類の薄膜トランジスタの他方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に異なる動作原理で動作することを特徴とする表示装置。

【請求項5】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは本質的に異なる断面構造を有していることを特徴とする表示装置。

【請求項6】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは異なる構造を有し、前記周辺駆動回路に配置された薄膜トランジスタはON電流の経路とOFF電流の経路とが異なる構造を有していることを特徴とする表示装置。

【請求項7】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、

前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは異なる構造を有し、前記周辺駆動回路に配置された薄膜トランジスタはチャネル形成領域中にソース及びドレイン領域と同じ導電型を有する領域が複数配置されていることを特徴とする表示装置。

【請求項8】 請求項7において、ソース及びドレイン領域と同じ導電型を有する領域が存在することによりON電流の経路とOFF電流の経路とが異なったものとなっていることを特徴とする表示装置。

【請求項9】 請求項7において、チャネル形成領域中にソース及びドレイン領域と同じ導電型を有する領域が複数配置された薄膜トランジスタは、周辺駆動回路中の最も高い耐圧が要求される箇所に配置されていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本明細書で開示する発明は、アクティブマトリクス型の表示装置の構成に関する。代表的には、アクティブマトリクス型の液晶表示装置の構成に関する。

【0002】

【従来の技術】 近年、フラットパネルディスプレイと呼ばれる表示装置が注目されている。フラットパネルディスプレイとは、液晶や発光材料、さらには蛍光材料を用いた厚さが数cm以下の薄型の表示装置の総称である。

【0003】 例えば、液晶表示装置は一对のガラス基板間に液晶を挟んで保持した構造を有している。そして液晶に電界を加え、その光学特性を変化させることにより、液晶層を透過する光を変調する機能を有している。

【0004】 フラットパネルディスプレイのさらに進んだ構造としてアクティブマトリクス型と称されるものが知られている。これは、マトリクス状に配置された各画素電極のそれぞれにスイッチング素子を配置した構成を有している。スイッチング素子としては、珪素薄膜を用いた薄膜トランジスタが一般には利用されている。

【0005】 薄膜トランジスタを構成する珪素薄膜とは、非晶質珪素膜と結晶性珪素膜とに大別される。現状において実用化されているのは、非晶質珪素膜を用いたものである。

【0006】 しかし、非晶質珪素膜を用いた薄膜トランジスタは、その動作速度が遅く、またPチャネル型が実用にならないことから、周辺駆動回路を一体化することができないという問題がある。

【0007】 これに対して、結晶性珪素膜を用いた場合には、高速動作可能なものが得られ、またPチャネル型のものも得られる。よって、周辺駆動回路を薄膜トランジスタで構成することができる。そして周辺駆動回路をアクティブマトリクス回路と同一基板上に集積化するこ

とができる。

【0008】

【発明が解決しようとする課題】液晶表示装置においては、液晶に加える電圧が液晶材料によって決まるので、それに応じてアクティブマトリクス回路、およびアクティブマトリクス回路を駆動するための周辺駆動回路に必要とされる駆動電圧が決まる。

【0009】アクティブマトリクス型の液晶表示装置を必要とする駆動電圧でもって動作させた場合、一般的に薄膜トランジスタでは耐圧が不足する。この耐圧の不足は、薄膜トランジスタの特性の劣化、回路動作の不良、さらにリーク電流の増加といった問題を引き起こす。一般にこれらの問題は、装置の信頼性の低下として認識される。

【0010】本明細書で開示する発明は、上記耐圧の問題を解決した周辺駆動回路一体型のアクティブマトリクス型の表示装置を提供することを課題とする。即ち、高い信頼性を有した周辺駆動回路一体型のアクティブマトリクス型の表示装置を提供することを課題とする。

【0011】

【課題を解決するための手段】本明細書で開示する発明は、同一基板上に形成されたアクティブマトリクス回路と周辺駆動回路とを集積化した構成において、各回路を構成する薄膜トランジスタを必要とする駆動電圧に耐えるものとする。また同時に各回路に必要とされる特性を備えた薄膜トランジスタを選択的に配置することを特徴とする。即ち、アクティブマトリクス回路と周辺駆動回路とにおいて、それぞれ異なる構造および異なる動作原理で動作する薄膜トランジスタを配置する。このような構成は、必要とする特性を要求する結果として得られる。

【0012】上記の必要とする駆動電圧に耐える薄膜トランジスタ、換言すれば耐圧を高めた薄膜トランジスタとして、以下に示すような構成を採用する。

【0013】本明細書で開示する発明においては、高い耐圧と高速動作、さらに大ON電流特性が必要とされる周辺駆動回路のバッファ回路に以下に示すような構成上の特徴を有する素子を配置することを特徴とする。

【0014】この素子は、基本的に絶縁ゲート型電界効果トランジスタの構成を有している。そして、ON動作時の電流経路とOFF動作時のリーク電流の経路とを異ならせた構造を有している。

【0015】即ち、ON動作時におけるキャリア（Nチャネル型であれば電子）の移動経路とOFF動作時のキャリア（Nチャネル型であればホール）の移動経路とを異ならせた構成を有している。

【0016】このような構成とすることにより、低OFF電流特性、高耐圧、高信頼性を有した構成とすることができる。そして、高速動作させることができ、さらに大きなON電流値を流すことができる。

【0017】上記のような構成を実現するために、Nチ

ャネル型の薄膜トランジスタであれば、実質的に真性または真性に近い導電型を有するチャネル形成領域内にN型の領域を配置する。（以下Nチャネル型を例として説明を加える）

【0018】一般にチャネル形成領域には、ON動作時においてN型層が形成される。従って、ON動作時には、上記のN型の領域はチャネル形成領域を移動するキャリアの大きな障害とはならない。

【0019】一方、ゲート電極に負の電圧が印加さえるOFF動作時（Nチャネル型の場合）においては、上記チャネル形成領域にはP型反転層が形成される。

【0020】しかし、前述のN型領域が存在する関係でこのP型半導体層はその通路幅が狭められたり、またその経路が曲がりくねった長いものとなる。勿論このようにするためには、前述のN型領域をこのOFF動作時のP型反転層でなる経路（ソースとドレインを結ぶ経路）の幅が狭くなるように、また長くなるように配置する必要がある。

【0021】このようにすることで、OFF動作時にソース／ドレイン間を移動するキャリアの経路をON動作時のキャリアの移動経路（ソース／ドレイン間をつなぐ最短距離）に比較して長くすることができる。

【0022】そして、OFF動作時におけるキャリアの移動を抑制し、耐圧を上げることができる。そして同時にOFF電流値を下げることができる。また、高い信頼性を得ることができる。

【0023】この素子の具体的な構成例を図1に示す。図1に示す構成は、ソース領域101およびドレイン領域103の間において、ON電流の経路111とOFF電流の経路109とが異なっている構成を有している。

【0024】即ち、チャネル領域内にソース領域及びドレイン領域と同一導電型を有する領域104、106、107を配置することにより、OFF動作時において、これらの領域によって、P型反転経路109が曲がりくねったものとなる。この経路109は、ソース領域とドレイン領域とを結ぶ距離（ON動作時のチャネル長）よりも長くなる。

【0025】またOFF動作時において、活性層100の側面を経由して伝導するキャリアの経路を無くす構成とすることも耐圧や信頼性を向上させる上で重要となる。

【0026】活性層の側面には、パターニングの際に形成された高密度のトラップが存在しており、そこを経由してのキャリアの移動経路が形成されやすい。特にOFF動作時におけるOFF電流の原因は、この活性層の側面を経由したキャリアの移動によるものが大きい。また、この活性層の側面におけるキャリア移動経路は、不安定なもので装置の信頼性の低下を招く要因ともなる。

【0027】よって、OFF動作におけるキャリアの移動経路を図1の109で示されるようなものとするこ

はOFF動作時の耐圧を高め、また高い信頼性を与えることに有用なものとなる。

【0028】また、図1に示す薄膜トランジスタは、ON動作時のキャリアの移動経路が短く（OFF動作時に比較して）、またその幅が広いものとなるので、高速動作が可能でまた大電流を流すことができる特性を有している。

【0029】図2にアクティブマトリクス回路と周辺駆動回路とを同一ガラス基板上に集積化した構成例を示す。図2に示す構成においては、周辺駆動回路としてゲイトドライバー回路が示されている。また図3に図2に示す回路の詳細を示す。

【0030】なお、図示されていないソースドライバー回路は、図2に示すゲイトドライバー回路のバッファ回路の後にサンプリング回路が配置された構成となる。

【0031】図2に示すゲイトドライバー回路で特に高耐圧が要求されるのは、バッファ回路である。例えば、液晶電気光学装置においては、液晶を応答させるために所定の電圧が必要とされる。例えば、現状においては最低でもバッファ回路には16V程度の耐圧が要求される。なおこの場合、シフトレジスタ回路は12V程度の耐圧があればよいことが分かっている。

【0032】この場合、画素マトリクス回路に配置される薄膜トランジスタにもバッファ回路と同様な耐圧が要求される。しかし、画素に配置される薄膜トランジスタは、LDD領域やオフセットゲイト領域を配置することで、その耐圧を高めることができる。また後述する等価的に複数の薄膜トランジスタが直列に接続された構成を採用することで、その耐圧を高めることができる。

【0033】一方、バッファ回路は高速動作が要求されるので、LDD領域やオフセットゲイト領域を配置することによる耐圧の向上には限界がある。これは、LDD領域やオフセットゲイト領域を配置すると、ソース／ドレイン間の抵抗が高くなり、高速動作には不利な構造となるからである。

【0034】またバッファ回路を構成する薄膜トランジスタは、大きなON電流を流す必要があり、この観点からもソース／ドレイン間の抵抗を高くするLDD領域やオフセットゲイト領域を配置することは不利となる。

【0035】また、後述する複数の薄膜トランジスタを等価的に直列に接続した構成もソース／ドレイン間の距離が長くなるという意味で高速動作や大ON電流特性を得るには不利なものとなる。

【0036】そこで図1に示すような薄膜トランジスタをバッファ回路に配置する。こうすることで、バッファ回路に必要とされる高速動作と高ON電流特性、さらに高耐圧特性を得ることができる。特に動作や大きなON電流が流れるような動作を行わした場合の信頼性を高いものとすることができる。

【0037】本明細書で開示する発明は、アクティブマ

トリクス型の液晶表示装置のみではなく、アクティブマトリクス型を有するフラットパネルディスプレイに利用することができる。例えば、EL素子を用いたアクティブマトリクス型の液晶表示装置に利用することができる。

【0038】また直視型のフラットパネルディスプレイではなく、ディスプレイで光学変調された像をスクリーンに投影する形式のプロジェクション型の表示装置に利用することができる。

10 【0039】本明細書で開示する発明の一つは、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは本質的に動作原理が異なることを特徴とする。

【0040】上記構成の具体的な例を図1、図2、図10を用いて説明する。図2には、周辺駆動回路一体型のアクティブマトリクス表示装置の一方の基板の概略の構成が示されている。

20 【0041】ここで周辺駆動回路204には、図1に示すような構成を有した薄膜トランジスタを配置する。また、周辺駆動回路のシフトレジスタ回路201には、図9(B)の左側の2つで示されるような薄膜トランジスタを配置する。また、アクティブマトリクス回路205には、図9(B)の右側に示されるような薄膜トランジスタを配置する。

【0042】ここで、図9に示される薄膜トランジスタは、本質的に同じ構造を有し、また同じ原理に基づいて動作する。しかし、図1に示す薄膜トランジスタは、それらとは異なる構造を有し、また異なる動作原理に基づいて動作する。

【0043】このような構成とするのは、それぞれの回路に必要とされる諸特性や特徴を満たすようにするためである。

【0044】他の発明は、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは本質的に異なる構造を有していることを特徴とする。

40 【0045】ここでいう本質的に異なる構造の例としては、例えば、プレーナ型とスタガー型、プレーナ型と逆スタガー型、図1に示す構造と図9に示す構造とを挙げることができる。なお、LDD領域の有無やその寸法の違い、また活性層の大きさの違い、電極の大きさの違い、ソース／ドレイン領域の抵抗や不純物濃度の違い、特性の違い（例えば活性層の大きさが異なると特性が異なるものとなる）、というような違いは、本質的に異なる構造とは見なされない。即ち、このような違いがあっても同じ構造と見なされる。

【0046】なお、一般に本質的に異なる動作原理に従う場合、当然その構造は本質的に異なるものとなる。

【0047】他の発明は、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記周辺駆動回路には本質的に異なる構造を有する少なくとも2種類の薄膜トランジスタが配置されており、前記2種類の薄膜トランジスタの一方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に同一の構造を有し、前記2種類の薄膜トランジスタの他方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に異なる構造を有することを特徴とする。

【0048】他の発明は、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記周辺駆動回路には本質的に異なる動作原理で動作する少なくとも2種類の薄膜トランジスタが配置されており、前記2種類の薄膜トランジスタの一方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に同一の動作原理で動作し、前記2種類の薄膜トランジスタの他方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に異なる動作原理で動作することを特徴とする。

【0049】他の発明の構成は、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは本質的に異なる断面構造を有していることを特徴とする。

【0050】他の発明の構成は、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは異なる構造を有し、前記周辺駆動回路に配置された薄膜トランジスタはON電流の経路とOFF電流の経路とが異なる構造を有していることを特徴とする。

【0051】他の発明の構成は、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは異なる構造を有し、前記周辺駆動回路に配置された薄膜トランジスタはチャネル形成領域中にソース及びドレイン領域と同じ導電型を有する領域が複数配置されていることを特徴とする。

【0052】

【発明の実施の形態】図2に示すような周辺駆動回路一体型のアクティブマトリクス型の液晶表示装置において、特にバッファ回路204に図1に示すような構成を有する薄膜トランジスタを配置する。そしてアクティブマトリクス領域205には、LDD領域を配置した薄

膜トランジスタや図13に示す等価的に複数の薄膜トランジスタが直列に接続された薄膜トランジスタを配置する。

【0053】このように周辺駆動回路とアクティブマトリクス回路とに本質的に異なる構造、異なる動作原理を有する薄膜トランジスタを選択的に配置する。このようにすることで、各回路に必要とされる耐圧や特性に見合った回路構成とすることができる。そして、高い性能を有し、また信頼性の高いアクティブマトリクス型の表示装置を得ることができる。

【0054】

【実施例】

【実施例1】本実施例は、アクティブマトリクス型を有する液晶表示装置に本明細書で開示する発明を利用する例を示す。図2に示すのは、アクティブマトリクス回路（画素マトリクス回路）とアクティブマトリクス回路を駆動するための周辺駆動回路の概略が示されている。

【0055】図2に示す構成においては、シフトレジスタ回路201、NAND回路202、レベルシフタ204でもって周辺駆動回路であるゲイトドライバ回路が構成されている。しかしこの構成のみをもって周辺駆動回路が構成されるとは限らない。例えば所定の演算機能を有した回路や所定の機能を有した集積回路が必要に応じて配置される。なお本明細書でいう周辺駆動回路には、薄膜集積回路に加えて、外付けの集積回路（ICチップ）を配置したような構成も含まれる。

【0056】なお図2には示されていないが、ソースドライバ回路は、ゲイトドライバ回路のバッファ回路の後にサンプリング回路を配置した構造を有している。

【0057】本明細書に開示する発明は、特にバッファ回路に図1に示すような構成を有する薄膜トランジスタを配置することを特徴とする。

【0058】図1に示すような薄膜トランジスタは、占有面積が大きくなるという欠点がある。これは、不純物領域104～107のような複雑なパターンを形成する必要があるため、マスク合わせのマージン等を考慮すると、全体を小型化することが困難であるからである。

【0059】液晶表示装置においては、光が透過する必要のあるアクティブマトリクス領域の開口率を極力大きくすることが要求される。

【0060】従って、占有面積の大きい図1に示すような構成を有する薄膜トランジスタをアクティブマトリクス領域に配置することは開口率の確保という観点からは不利なものとなる。

【0061】そこで、本実施例に示す構成では、耐圧が最も求められる周辺駆動回路のバッファ回路（図2の204）を図1に示すような構成を有する薄膜トランジスタで構成する。バッファ回路は図1に示す構成を有するNチャネル型の薄膜トランジスタと同様な構成を有

するPチャネル型の薄膜トランジスタとで構成される相補型の回路が基本となって構成される。

【0062】以下に図1に示す薄膜トランジスタについて説明する。ここでは、Nチャネル型の薄膜トランジスタの構成について説明する。

【0063】図1(A)に薄膜トランジスタを上面から見た概略を示す。図1(A)に示す構成において、101がソース領域、102がチャネル形成領域、103がドレイン領域である。そして、この3つの領域を主要な構成要素として薄膜トランジスタの活性層100が構成されている。

【0064】なお、チャネル形成領域102は、その内部の少なくとも一部にチャネルとなる通路（ソース領域とドレイン領域とを結ぶ通路）が形成される領域として定義される。

【0065】ソース領域101とドレイン領域103とはN型を有している。また、チャネル形成領域102には実質的に真性な導電型（I型）を有している領域105が形成されている。この105で示される領域がOFF動作時にキャリアが移動する経路となる。

【0066】なお、TFTのしきい値特性を制御するために105で示される領域を弱いP型（一般にP⁻型とかP⁻型とか表記される）とすることも有効である。

【0067】104、106、107で示されるのがチャネル形成領域102内に形成されたN型の領域である。また108で示されるのがゲイト電極である。図1に示す構成においては、活性層100を覆って図示しないゲイト絶縁膜が形成され、その上にゲイト電極108が配置されている構成となっている。

【0068】ON動作時には、ゲイト電極108に加えられる正の電圧により、静電誘導効果に従ってチャネルとなる105の領域はN型化する。この状態においては、104、106、107で示されるN型領域はチャネル形成領域内においてチャネルと一体となる。

【0069】従って、チャネル形成領域102の全体がキャリアの移動経路となる状態が実現される。即ち、ON電流の担体となるキャリアの移動は、102で示されるチャネル形成領域の全体において行われる。

【0070】このようにON電流の担体である電子は、ソース領域101からドレイン領域103へとチャネル形成領域102を最短距離でもって、またチャネル形成領域の全体を利用して移動する。

【0071】ゲイト電極108に負の電圧が印加されるOFF動作時には、105で示される真性な領域の導電型がP型に反転する。しかし、N型領域104、106、107の領域の導電型は反転せずN型のままである。

【0072】OFF電流（リーク電流）は、ドレイン領域103からチャネル形成領域102へとキャリア（この場合はホール）がトラップ準位や不純物準位を経由し

てPN接合の障壁を乗り越えて移動することによって生じる。

【0073】しかし図1に示す構成においては、ドレイン領域103からソース領域101の方向へと移動するキャリア（ホール）の移動経路であるP型反転層は、105で示されるように細く曲がりくねったものとなっている。

【0074】よって結果的にOFF動作時に、ドレイン領域103からソース領域101へのキャリアの移動は大きく抑制されることになる。そして、その結果としてOFF電流値は大きく抑制される。また逆方向耐圧を高くすることができる。また、高い信頼性を得ることができる。

【0075】以上説明したように図1(A)に示す構成においては、OFF動作時にチャネル形成領域102内に障壁となるN型領域104、106、107が配置され、そのことによりOFF動作時のキャリアの移動経路が制限される。そしてそのことにより、OFF電流を低減させ、また耐圧を高めることができる。

【0076】また、ON動作時はN型となるチャネル形成領域105内において、N型の領域104、106、107は大きな障壁とならない。従って、ON動作時のキャリアの移動が阻害されず、大電流を流すことができる。また高速動作を行わすことができる。

【0077】このようなTFTの動作の状態を図4を用いて説明する。図4においてV_gはゲイト電圧（V_g>0）、E_cは伝導帯、E_vは価電子帯、E_fはフェルミレベルを表している。

【0078】まず、Nチャネル型TFTがオン状態（ゲイトに正電圧が印加された状態）の時を考える。

【0079】この場合、105で示される領域は図4(C)のようなバンド状態となっている。即ち、電子が半導体表面に蓄積され電子が移動し易い状態となっている。

【0080】この時、104、106、107の領域においては図4(D)のようなバンド状態となっている。図4(D)の状態においては、元々フェルミレベルE_fは伝導帯E_cの近くに押し上げられているため、伝導体には多数の電子が常に存在している。

【0081】従って、ゲイトに正電圧を印加した場合、105の領域と同様、104、106、107の領域も電子が移動し易いバンド状態となっている。そして、これらの領域間におけるポテンシャルバリアも大きなものとはならない。従って、多数キャリアである電子がソース領域101からドレイン領域103へと移動する。即ち、111で示される経路を電子が移動する。

【0082】次にNチャネル型TFTがOFF状態（ゲイトに負電圧が印加された状態）の場合を考える。この時、ON動作時にチャネルとなる領域105においては図4(A)のようなバンド状態となっている。即ち、ホ

ールが半導体表面（ゲイト絶縁膜との界面）に集まり、電子が払われた状態にある。このため、ソース／ドレイン間の電子の移動は極めて少ないものとなる。

【0083】一方、104、106、107で示されるN型領域は、フェルミレベル E_f が伝導帯 E_c の近くへと押し上げられている。この状態では、ホールは少数キャリアであり、半導体表面の表面に集まらない。よって上記のOFF動作時において、上記N型領域は図4

(B)に示すように、エネルギーバンドが僅かにしか曲がらない状態となる。即ち、OFF動作時において104、106、107で示されるN型領域は、そのままN型を維持する。

【0084】OFF動作時においては、図4(A)と図4(B)を比較すれば判るように E_v 及び E_c の値が異なる。この差がポテンシャルバリアとなる。このポテンシャルバリアが存在するためにホールにしろ電子にしろソース／ドレイン間を最短距離で移動することは阻害される。

【0085】図4(A)に示されるようにOFF動作時にP型反転層が形成される105の領域においては、多数キャリアはホールとなる。しかし、上述のポテンシャルバリアが存在するので、この多数キャリアが移動するのは、109で示される曲がりくねった経路となる。

【0086】以上の様に、ON状態では111で示される経路がキャリアの移動経路となり、OFF状態では109で示される経路がキャリアの移動経路となる。

【0087】ここでは、Nチャネル型の薄膜トランジスタの場合の例を示した。Pチャネル型の薄膜トランジスタの場合は、基本的にN型であった領域をP型に変更すればよい。

【0088】図5以下に図2のシフトレジスタ回路を構成するCMOS構成の薄膜トランジスタ回路と、アクティブマトリクス回路の各画素に配置されるNチャネル型の薄膜トランジスタとを同一ガラス基板上に形成する工程を示す。なお、図5に示す薄膜トランジスタは、その配置位置が異なるもの、その形状や動作原理は本質的に同じである。

【0089】図において、左側にCMOS回路の作製工程を示す。また右側にアクティブマトリクス回路に配置されるNチャネル型の薄膜トランジスタの作製工程を示す。

【0090】なお以下に示す作製工程における数値や条件は、1例を示すものである。即ち、必要に応じて変更あるいは最適化が可能なものであり、記載された値のみに限定されるものではない。

【0091】まず、ガラス基板（または石英基板）501上に下地膜502として酸化珪素膜を3000Åの厚さに成膜する。成膜方法は、スパッタ法を用いる。

【0092】次に下地膜502上に非晶質珪素膜503を1000Åの厚さにプラズマCVD法で成膜する。成

膜方法は、減圧熱CVD法で用いるのでもよい。こうして図5(A)に示す状態を得る。

【0093】次に加熱処理を施すことにより、非晶質珪素膜103を結晶化させる。結晶化の方法は、レーザー光の照射やランプアニール、さらにそれらの方法と加熱処理を併用した方法を利用するのでもよい。

【0094】非晶質珪素膜503を結晶化させたら、パターニングを施すことにより、504、505、506で示される島状の領域を形成する。(図5(B))

【0095】図5(B)において、504は後にCMOS回路を構成するPチャネル型の薄膜トランジスタの活性層となる。505は後にCMOS回路を構成するNチャネル型の薄膜トランジスタの活性層となる。506は後に画素マトリクス回路に配置されるNチャネル型の薄膜トランジスタの活性層となる。

【0096】こうして図5(B)に示す状態を得る。次にゲイト電極を構成するためのアルミニウム膜507を5000Åの厚さにスパッタ法によって成膜する。このアルミニウム膜507中には、後にアルミニウムの異常成長に起因するヒロックやウィスカーの発生を抑制するためにスカンジウム（またはイットリウム）を0.1～0.2重量%含有させる。(図5(C))

【0097】ヒロックやウィスカーというのは、加熱に従うアルミニウムの異常成長による針状あるいは刺状の突起物のことである。

【0098】アルミニウム膜507を成膜したら、緻密な膜質を有する陽極酸化膜508を形成する。この緻密な膜質を有する陽極酸化膜508の形成は、電解溶液として3%の酒石酸を含んだエチレングルコール溶液を用いて行う。

【0099】即ち、この電解溶液中において、アルミニウム膜507を陽極、白金を陰極として陽極酸化電流を流すことによって形成される。ここでは、印加電圧を制御して、陽極酸化膜508の膜厚を100Å程度とする。

【0100】この陽極酸化膜は、後の工程において配置されるレジストマスクの密着性を向上させるために機能する。

【0101】こうして図5(C)に示す状態を得る。次に図6(A)に示すようにレジストマスク515、516、517を配置し、アルミニウム膜507(図5(C)参照)のパターニングを行う。この際、陽極酸化膜508(図5(C)参照)の膜厚が厚いとアルミニウム膜507のパターニングが困難になるので注意が必要である。

【0102】図6(A)において、509、511、513がそれぞれゲイト電極の原型となる(基となる)アルミニウムパターンである。また、510、512、514がアルミニウムパターン上に残存する緻密な膜質を有する陽極酸化膜である。

【0103】図6 (A) に示す状態を得たら、再び陽極酸化を行う。ここでは、518、519、520で示される多孔質状を有する陽極酸化膜を形成する。(図6 (B))

【0104】この工程は、電解溶液として3%のシュウ酸を含んだ水溶液を用いる。そしてこの電解溶液中において、509、511、513で示されるアルミニウムパターンを陽極、また白金を陰極として陽極酸化を行う。

【0105】この工程においては、レジストマスク515、516、517、さらに緻密な陽極酸化膜510、512、514が存在するために、アルミニウムパターン509、511、513の側面において陽極酸化が進行する。

【0106】従って、図2 (B) の518、519、520で示される部分が多孔質状の陽極酸化膜として形成される。この多孔質状の陽極酸化膜は、陽極酸化時間によって制御することができる。

【0107】ここでは、この多孔質状の陽極酸化膜518、519、520を5000 Åの厚さに形成する。この多孔質状の陽極酸化膜は、後に低濃度不純物領域(LDD領域)を形成する際に利用される。

【0108】図6 (B) に示す状態を得たら、レジストマスク515、516、517を専用の剥離液で除去する。そして再度、緻密な膜質を有する陽極酸化膜を形成する条件で陽極酸化を行う。

【0109】この結果、51、52、53で示される緻密な膜質を有する陽極酸化膜が形成される。ここでは、先に形成された陽極酸化膜510、512、514と一体化した状態で51、52、53で示される陽極酸化膜が形成される。(図6 (C))

【0110】この工程においては、多孔質状の陽極酸化膜518~520の内部に電解溶液が侵入するので、図6 (C) の51、52、53で示されるような状態で緻密な膜質を有する陽極酸化膜が形成される。

【0111】なお、緻密な膜質を有する陽極酸化膜51、52、53の膜厚は、1000 Åとする。この陽極酸化膜は、ゲート電極(およびそこから延在したゲート配線)の表面を電気的および機械的に保護する機能を有している。具体的には、電気的絶縁性の向上、及びヒロックやウィスカの発生を抑制する機能を有している。

【0112】図6 (C) に示す工程において、Pチャンネル型の薄膜トランジスタのゲート電極521、さらにNチャンネル型の薄膜トランジスタのゲート電極522、523が画定する。

【0113】図6 (C) に示す状態を得たら、P(リン)イオンの注入を行う。この工程では、ソース及びドレイン領域を形成するためのドーズ量をもってPイオンの注入を行う。Pイオンの注入は公知のプラズマドーピング法でもって行う。(図7 (A))

【0114】この工程において、524、526、527、529、530、532の各領域に比較的高濃度にPイオンが注入される。この工程におけるドーズ量は、 $1 \times 10^{15} / \text{cm}^2$ とする。またイオンの加速電圧は80 kVとする。

【0115】図7 (A) に示すPイオンの注入工程において、525、528、531の各領域には、Pイオンは注入されない。従って、そのまま真性または実質的に真性な状態が維持される。

【0116】図7 (A) に示すPイオンの注入が終了したら、燐酸と酢酸と硝酸とを混合した混酸を用いて多孔質状の陽極酸化膜518、519、520を除去する。

【0117】そして図7 (B) に示すように再度Pイオンの注入を行う。この工程では、図7 (A) の工程におけるドーズ量よりも低いドーズ量でもってPイオンの注入を行う。ここでは、ドーズ量を $0.5 \sim 1 \times 10^{14} / \text{cm}^2$ とする。またイオンの加速電圧を70 kVとする。

【0118】この工程の結果、533、535、536、538、559、541で示される各領域がN⁻型(弱いN型)領域となる。即ち、524、526、527、529、530、532の各領域よりも低い濃度でPイオンが添加された低濃度不純物領域となる。(図7 (B))

【0119】そして、ゲート電極直下の534、537、540の各領域がチャネル形成領域として画定する。

【0120】なお、厳密にいうならば、図6 (C) の工程で形成した緻密な膜質を有する陽極酸化膜51、52、53の膜厚でもって、チャネル形成領域の両側にフセットゲート領域が形成される。しかし、本実施例においては、陽極酸化膜51、52、53の膜厚が1000 Å程度であるので、図中においては、オフセットゲート領域の記載は省略してある。

【0121】図7 (B) に示す不純物イオンの注入が終了したら、図8 (A) に示すようにレジストマスク542を配置し、今度はB(ボロン)イオンの注入を行う。

【0122】このBイオンの注入によって、543、544、545、546の各領域は、N型からP型へと導電型が反転する。ここでは、Bイオンのドーズ量を $2 \times 10^{15} / \text{cm}^2$ とする。またその加速電圧を60 kVとする。

【0123】図4 (A) に示すBイオンの注入終了後、レジストマスク542を除去する。そして、全体にKrFエキシマレーザを照射して、不純物イオンが注入された領域のアニールと注入された不純物イオンの活性化とを行う。

【0124】こうして、CMOS回路を構成するP及びNチャンネル型の薄膜トランジスタとアクティブマトリクス領域に配置されるNチャンネル型の薄膜トランジスタとを同時に形成する。

【0125】そして図9(A)に示すように層間絶縁膜551を成膜する。層間絶縁膜551は、酸化珪素膜で構成する。酸化珪素膜以外には、窒化珪素膜と酸化珪素膜の積層膜、酸化珪素膜と窒化珪素膜と樹脂膜との積層膜を利用することができる。

【0126】層間絶縁膜551を成膜したら、コンタクトホール形成を行う。そして、Pチャネル型の薄膜トランジスタのソース電極552とドレイン電極553、さらにNチャネル型の薄膜トランジスタのドレイン電極553とソース電極554を形成する。

【0127】こうして、Pチャネル型の薄膜トランジスタとNチャネル型の薄膜トランジスタを相補型に構成したCMOS回路が完成する。さらに同時にソース電極555（一般にマトリクス状に配置された画像信号線（ソース配線）から延在して設けられる）とドレイン電極556を形成し、画素マトリクス部のNチャネル型の薄膜トランジスタを完成させる。

【0128】図9(A)に状態を得たら、第2の層間絶縁膜557を成膜する。そしてコンタクトホール形成を行い、ITOとなる画素電極558を形成する。

【0129】そして、350℃の水素雰囲気中において1時間の加熱処理を行い、活性層中の欠陥の修復を行う。こうして、アクティブマトリクス回路（画素マトリクス回路）と周辺駆動回路の一部とを同時に配置した構成を得る。

【0130】〔実施例2〕本実施例は、図1に示す構造とは異なる薄膜トランジスタに関する。図10(A)に示すのが上面から見た本実施例の薄膜トランジスタの概略である。本実施例では、Nチャネル型の薄膜トランジスタの例を示す。

【0131】なお図10(B)に示すのは、図10(A)にその上面概略図を示す薄膜トランジスタの動作状態を示す模式図である。

【0132】図10(A)において、1001が薄膜トランジスタの活性層を構成する島状の珪素薄膜でなる半導体層である。1002はN型を有する領域であり、ソース領域として機能する領域である。

【0133】1003はゲート電極1006の下部に存在する活性層の領域でチャネル形成領域となる領域である。チャネル形成領域1003内にはN型を有する領域1005が形成されている。チャネル形成領域の1005で示される領域以外の領域は、真性または実質的に真性な導電型を有している。

【0134】1005で示される領域は、ON動作時においてN型となるチャネルと一体化する。またこの領域は、OFF動作時において反転P型層となるチャネル形成領域1003中においてOFF電流の原因となるキャリアの移動を阻害する障壁となる。

【0135】1004で示されるのがN型を有するドレイン領域である。また1007で示されるのが、チャネ

ル形成領域1003とドレイン領域1004との間に配置されたLDD（ライトドープドレイン）領域である。このLDD領域1007は、ドレイン領域1004よりも低濃度にN型を付与する不純物を含んでいる。

【0136】このLDD領域1007は、OFF動作時において、チャネル形成領域1003とドレイン領域1004との間に形成される強電界を緩和し、ドレイン領域からチャネル形成領域へのキャリアの移動を抑制する機能を有している。

10 【0137】図10(A)に示す構成の動作状態を以下に示す。図10(B)に示すのは、本実施例で示す薄膜トランジスタのON動作時とOFF動作時におけるキャリアの移動の状態（経路）を示す模式図である。

【0138】図10の1008で示すのは、薄膜トランジスタのON動作時においてキャリアが移動する経路である。ON動作時においては、ゲート電極1006に正の電圧が加わり、チャネル形成領域1003はN型となる。この時、N型領域1005はチャネル形成領域1003と実質的に一体化してしまうので、ソース領域1002からドレイン領域1004へと1008で示す経路を通過してキャリア（電子）は移動する。即ち、ON動作時においては、キャリアの移動はソース／ドレイン間を最短距離で、しかもチャネル形成領域1003全体において移動する。

【0139】一方で、OFF動作時においてはゲート電極1006には負の電圧が印加される。そして、チャネル形成領域1003中の1005で示される領域以外の領域の表面はP型に反転する。この時、1005で示す領域はN型のまま残存する。

30 【0140】このOFF動作時においては、N型の領域1005が障壁となるので、ドレイン領域1004からソース領域1002へと移動するキャリア（ホール）の移動は1009や1010で示される経路が大部分となる。

【0141】しかし、1009や1010で示される経路はON動作時におけるキャリアの移動経路1008に比較して長く、またその幅が狭い。

【0142】即ち、ON電流の経路は短かつその幅が広く、OFF電流の経路は長かつその幅が狭い状態となる。

【0143】このようにすることにより、相対的に大きなON電流値と小さなOFF電流値とを有する構成を実現することができる。そして高い耐圧を有したものとすることができる。また、高速動作が可能で高い信頼性を有したものとすることができる。

【0144】〔実施例3〕本実施例は、図1に示す薄膜トランジスタの作製工程を示す。図11に図1に示す薄膜トランジスタの作製工程を示す。図11において図1と同じ符号は、図1と同じ箇所を示す。図11に示すのは、図1のA-A'で切った断面部分の作製工程であ

る。

【0145】まず、ガラス基板1101上に下地膜として酸化珪素膜を3000Åの厚さにスパッタ法を用いて成膜する。そして結晶性珪素膜でなる活性層100を形成する。ここでは活性層の厚さは1000Åとする。こうして図11(A)に示す状態を得る。

【0146】次にゲイト絶縁膜として機能する酸化珪素膜1104をプラズマCVD法でもって成膜する。酸化珪素膜1104の厚さは1000Åとする。

【0147】次にレジストマスク1103を配置する。このレジストマスク1103は、図1の105で示される斜線部分のパターンを有している。こうして図11(B)に示す状態を得る。

【0148】次にPイオンの注入を行う。この工程において、101、104、106、107、103で示される領域がN型化する。ここで、101はソース領域、103はドレイン領域、104、106、107はN型領域となる。こうして図11(C)に示す状態を得る。

【0149】次にゲイト電極108を形成する。ゲイト電極はアルミニウムでもって形成する。なお、図示されていないが、アルミニウムでなるゲイト電極108の表面には陽極酸化膜を形成する。こうして図11(D)に示す状態を得る。

【0150】ゲイト電極はアルミニウム以外に各種金属材料やシリサイド材料を利用して構成することもできる。

【0151】次に層間絶縁膜として酸化珪素膜1105を5000Åの厚さにプラズマCVD法でもって成膜する。

【0152】そしてコンタクトホール形成を行い、ソース電極1106とドレイン電極1107を形成する。さらに350℃の水素雰囲気中において1時間の加熱処理を行うことにより、図11(E)に示す薄膜トランジスタを完成させる。

【0153】〔実施例4〕本実施例を図12を用いて説明する。本実施例に示す薄膜トランジスタは、ゲイト電極の位置が基板側にあるボトムゲイト型のものである。本実施例の半導体装置の主要な作製工程は下記の通りである。

- 【0154】①ゲイト電極・配線、ゲイト絶縁膜、半導体活性層（薄膜半導体）の形成
- ②ドーピングマスクの形成
- ③ドーピングおよびドーピングされた不純物の活性化
- ④層間絶縁物の成膜
- ⑤ソース、ドレイン領域へのコンタクトホール形成
- ⑥上層の導電性材料（金属等）を用いた配線の形成

【0155】本実施例では、特開平5-275452、もしくは、同7-99317公報に記載されるように、ボトムゲイト型の薄膜トランジスタを得るために、自己整合的なドーピングマスクの形成、薄膜半導体へのイオ

ンドーピングと活性化を実施する。本実施例の詳細な条件、被膜の厚さ等は上記公報を参考にするとよい。

【0156】まず工程①を図12(A)を用いて説明する。まず、ガラス基板400上にゲイト電極409を形成する。ガラス基板は裏面露光技術を使用するため、露光に用いる光を透過することが要求される。

【0157】ゲイト電極は各種金属材料やシリサイド材料を用いて形成する。ゲイト電極409上にはゲイト絶縁膜として機能する酸化珪素膜419をプラズマCVD法でもって成膜する。

【0158】さらにゲイト絶縁膜419上には、図示しない非晶質のシリコン膜を減圧熱CVD法でもって成膜する。この非晶質珪素膜は、レーザーアニール法によって結晶化させ結晶性珪素膜とする。さらにこれをパターンニングすることにより、結晶性珪素膜でなる活性層408を形成する。

【0159】次に工程②を説明する。この工程は裏面露光技術を用いる。すなわち、窒化珪素の被膜を堆積し、その上にフォトリソを塗布した後、裏面より光を照射して、フォトリソの露光をおこなう。そして、これによって窒化珪素膜のエッチングをおこない、ドーピングマスク465を得る。ドーピングマスク465は図では別々になっているように見えるが、裏面露光技術を採用したためゲイト電極409と同様、全てつながっている。（図12(B)）

【0160】次に工程③を説明する。この工程は、公知の不純物ドーピング法を用いておこなう。ここではP（リン）イオンの注入を行う。

【0161】この結果、ソース領域401、ドレイン領域402、N型領域403～405が自己整合的に形成される。（図12(B)）

【0162】さらに、ドーピングによって薄膜半導体中に導入された不純物は、ランプアニールによって活性化される。

【0163】次に工程④を図12(C)を用いて説明する。この工程では、公知の絶縁被膜成膜技術によって、層間絶縁物として機能する酸化珪素被膜456を成膜する。（図12(C)）

【0164】次に工程⑤を図12(D)を用いて説明する。この工程は公知のコンタクトホール形成技術を用いておこなう。層間絶縁物456をエッチングして、ソース領域401およびドレイン領域402へのコンタクトホール457、458を形成する。（図12(D)）

【0165】次に工程⑥を図12(E)を用いて説明する。この工程は公知の金属被膜成膜技術およびエッチング技術を用いて行う。この工程の結果、ソース電極・配線410、ドレイン電極・配線412が形成される。さらに350℃の水素雰囲気中での加熱処理を行うことにより、図12(E)に示す薄膜トランジスタを完成させる。

10

20

30

40

50

【0166】〔実施例5〕本実施例は、アクティブマトリクス領域にOFF電流値を軽減した薄膜トランジスタを配置した構成に関する。この薄膜トランジスタは、等価的に複数の薄膜トランジスタを直列に接続した構成を有している。

【0167】ここで示す薄膜トランジスタは、以下に示すような構成を有している。即ち、マトリクス状に配置された画像信号線（ソース線）およびゲイト信号線と、前記画像信号線およびゲイト信号線で囲まれた領域に配置された画素電極と、を有し、前記画素電極に隣接して同一導電型の n 個の薄膜トランジスタが直列に接続されて配置されており、前記複数の薄膜トランジスタの $n=1$ 番目の薄膜トランジスタのソースまたはドレイン領域は前記画像信号線に接続されており、前記複数の薄膜トランジスタの n 番目の薄膜トランジスタのドレインまたはソース領域は前記画素電極に接続されており、 $n-m$ ($n>m$) 個の薄膜トランジスタのゲイト電極は共通にゲイト信号線に接続されており、 m 個の薄膜トランジスタにおいて、チャンネル形成領域がソース及びドレイン領域と同一導電型となる電位にゲイト電位が固定される構成となっていることを特徴とする。

【0168】図13に本実施例の概要を示す。ここでは代表的な例をとしてアクティブマトリクス領域の一部の概略の構成を示す。

【0169】図13に示す構成は、ゲイト信号線方向に隣合う2つの画素に配置される薄膜トランジスタ群において、容量線を共通にした構成を有している。このような構成は、開口率を高めるために有用なものとなる。

【0170】図13において、901が画像信号線であり、902と904がゲイト信号線である。905と906は画素電極であり、それぞれゲイト信号線902と904からの信号によって駆動される。

【0171】907と908とが結晶性珪素膜で構成される島状の半導体領域（活性層）である。この島状の半導体領域がそれぞれ薄膜トランジスタの活性層を構成する。

【0172】図14に図13の構成に対応する等価回路を示す。本実施例に示す構成においては、容量線の数を半分にすることができるので、画素の開口率を高めることができる。

【0173】本実施例に示す薄膜トランジスタは、図14の等価回路からも分かるように、複数の薄膜トランジスタが直列に接続され、またその間に容量が配置された構成となっている。

【0174】このような構成とすることにより、画素電極905から画像信号線901に漏れ出る電荷の量、またはその割合を減少させることができる。このことは、画素電極から漏れ出る電荷を少なくする構成が最優先で必要とされるアクティブマトリクス回路において重要なこととなる。

【0175】しかし一方で、等価的に複数の薄膜トランジスタを直列に接続した構造となるので、キャリアの移動する距離が長く、また移動するキャリアが多数の接合（少なからず障壁が存在する）を移動しなければならない構造となる。このことは、動作速度やON電流値を大きくとるためには不利となる。

【0176】従って、図13や図14に示す薄膜トランジスタは、アクティブマトリクス回路に配置するには、最適なものといえるが、周辺駆動回路に配置するには不適当なものといえる。

【0177】アクティブマトリクス回路を本実施例で示す薄膜トランジスタで構成し、周辺駆動回路を図9の左側で示されるCMOS回路や図1に示す薄膜トランジスタでもって構成した場合、それぞれの回路に配置される薄膜トランジスタは本質的に異なる構造を有することになる。

【0178】特に図1に示す薄膜トランジスタは、図9の左側のCMOS回路を構成する薄膜トランジスタや図13に示す薄膜トランジスタとは、動作原理をも本質的に異なるものとなる。

【0179】このような配置は、周辺回路一体型のアクティブマトリクス構成において、各部分に必要とされる薄膜トランジスタの特性が異なることに起因する。即ち、各部分（例えばアクティブマトリクス回路やバッファ回路等）にそれぞれ最適な特性を有する薄膜トランジスタを配置することにその理由がある。

【0180】〔実施例6〕本実施例は、1枚のガラス基板上にプレナー型の薄膜トランジスタと逆スタガー型の薄膜トランジスタとを形成する工程に関する。本実施例に示す構成を採用した場合、動作原理は同じであるが、構造が本質的に異なる薄膜トランジスタを集積化した構成となる。（当然断面構造も異なるものとなる）

【0181】図15に本実施例の作製工程を示す。まずガラス基板601上に図示しない下地膜として酸化珪素膜を成膜する。次に非晶質珪素膜を成膜し、加熱により結晶化させ、図示しない結晶性珪素膜を得る。

【0182】この図示しない結晶性珪素膜をパターンニングして602、603、604で示されるプレナー型の薄膜トランジスタの活性層を形成する。

【0183】次に右側のプレナー型の薄膜トランジスタのゲイト絶縁膜として機能する酸化珪素膜600を成膜する。

【0184】さらにゲイト電極を形成するためのアルミニウム膜をスパッタ法でもって成膜する。そして多孔質状の陽極酸化膜606、609を形成し、さらに緻密な膜質を有する陽極酸化膜607、610を形成する。

【0185】この工程でゲイト電極605と608が画定する。そして1回目の不純物イオンの注入を行い、ソース領域602とドレイン領域604を形成する。この工程においては、603の領域に不純物イオンは注入さ

れない。(図15(A))

【0186】次に多孔質状の陽極酸化膜609を除去して、2回目の不純物イオンの注入を行う。この工程は、1回目の不純物イオンの注入よりも低いドーズ量でもって行う。こうして、低濃度不純物領域61と62が形成される。(図15(A))

【0187】次に左側の逆スタガー型の薄膜トランジスタのゲイト絶縁膜を構成する酸化珪素膜611を成膜する。こうして図15(B)に示す状態を得る。

【0188】次に左側の逆スタガー型の薄膜トランジスタの活性層を構成するための図示しない非晶質珪素膜を成膜する。そしてこの非晶質珪素膜にレーザー光を照射して結晶性珪素膜に変成する。さらにパターニングを施すことにより、活性層612を形成する。こうして図15(C)に示す状態を得る。

【0189】次にレジストマスク613と614を配置して、不純物イオンの注入を行う。そしてソース領域615とドレイン領域617を形成する。この際、616の領域には不純物イオンの注入はされない。(図15(D))

【0190】次に等方性のエッチングを行い、レジストマスク613を後退させ、再度の不純物イオンの注入を(D)で示す工程よりも低いドーズ量でもって行う。こうして低濃度不純物領域618と619を形成する。

【0191】次に層間絶縁膜620を形成する。さらにコンタクトホールを形成を行い、逆スタガー型を有する薄膜トランジスタのソース電極621、ドレイン電極622、さらにプレナー型の薄膜トランジスタのソース電極623、ドレイン電極624を形成する。

【0192】こうして本質的に異なる構造を有する(本質的な動作原理は同じである)2つの薄膜トランジスタを同一基板上に形成する。

【0193】以上の本明細書においては、発明の応用例として液晶表示装置の場合を中心とした。しかし、本明細書で開示する発明は、アクティブマトリクス型を有する他の表示装置に利用することができる。例えば、アクティブマトリクス型を有するEL型の表示装置に利用することができる。

【0194】

【発明の効果】本明細書に開示する発明を採用することにより、薄膜トランジスタの耐圧不足に起因する問題を解決することができる。そして、安定した優れた性能を有する周辺駆動回路一体型構成を有するアクティブマトリクス型の表示装置を得ることができる。

【図面の簡単な説明】

【図1】 薄膜トランジスタの構成を示す図。

【図2】 周辺駆動回路とアクティブマトリクス回路が一体化された構成を示す図。

【図3】 回路の構成を示す図。

【図4】 薄膜トランジスタの動作状態を示すエネルギーバンド図。

【図5】 薄膜トランジスタの作製工程を示す図。

【図6】 薄膜トランジスタの作製工程を示す図。

【図7】 薄膜トランジスタの作製工程を示す図。

【図8】 薄膜トランジスタの作製工程を示す図。

【図9】 薄膜トランジスタの作製工程を示す図。

【図10】 薄膜トランジスタの構成を示す図。

20 【図11】 薄膜トランジスタの作製工程を示す図。

【図12】 薄膜トランジスタの作製工程を示す図。

【図13】 アクティブマトリクス回路の一部を示す図。

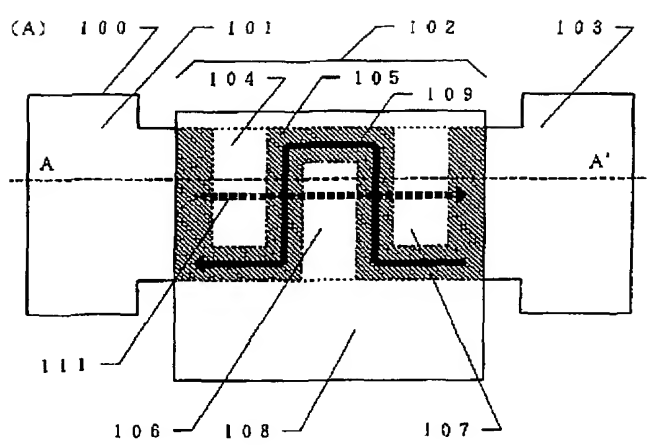
【図14】 図13の等価回路を示す図。

【図15】 薄膜トランジスタの作製工程を示す。

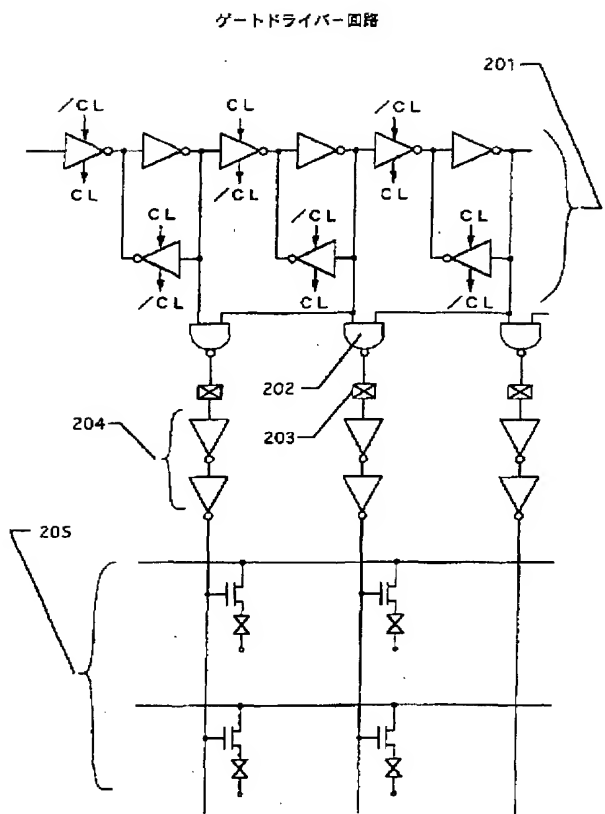
【符号の説明】

100	活性層
101	ソース領域
102	チャネル形成領域
103	ドレイン領域
104	N型領域
105	チャネル
106	N型領域
107	N型領域
108	ゲイト電極
109	OFF動作時のキャリアの移動経路
110	LDD(ライトドープドレイン)領域
111	ON動作時のキャリアの移動経路

【図1】

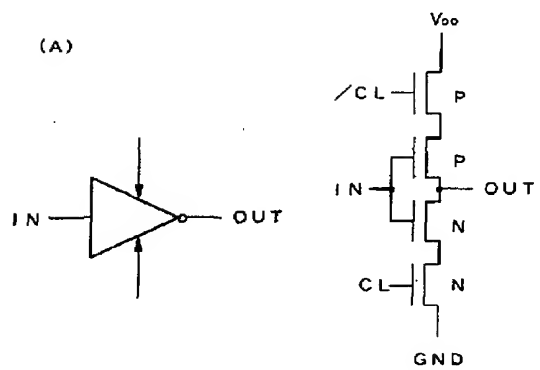


【図2】

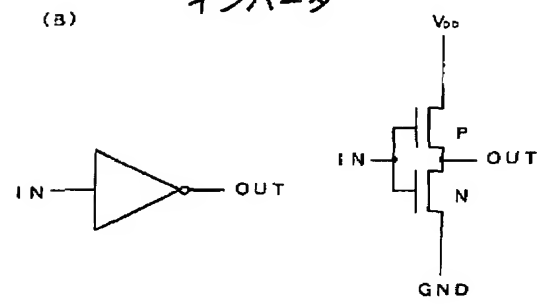


【図3】

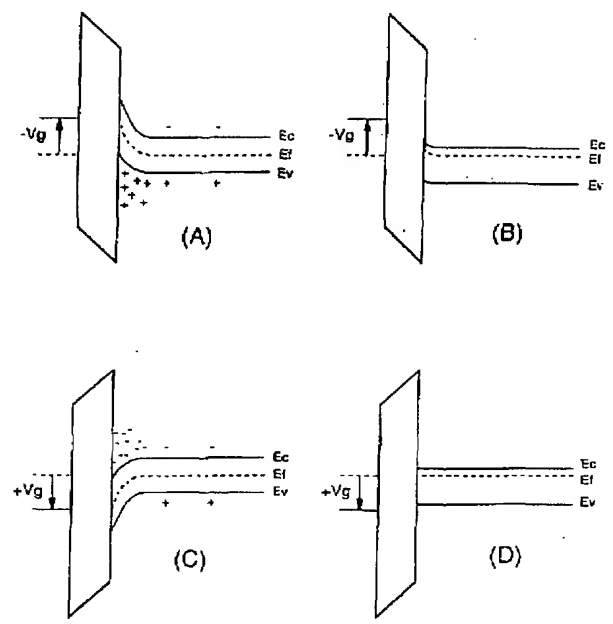
クロックインバータ



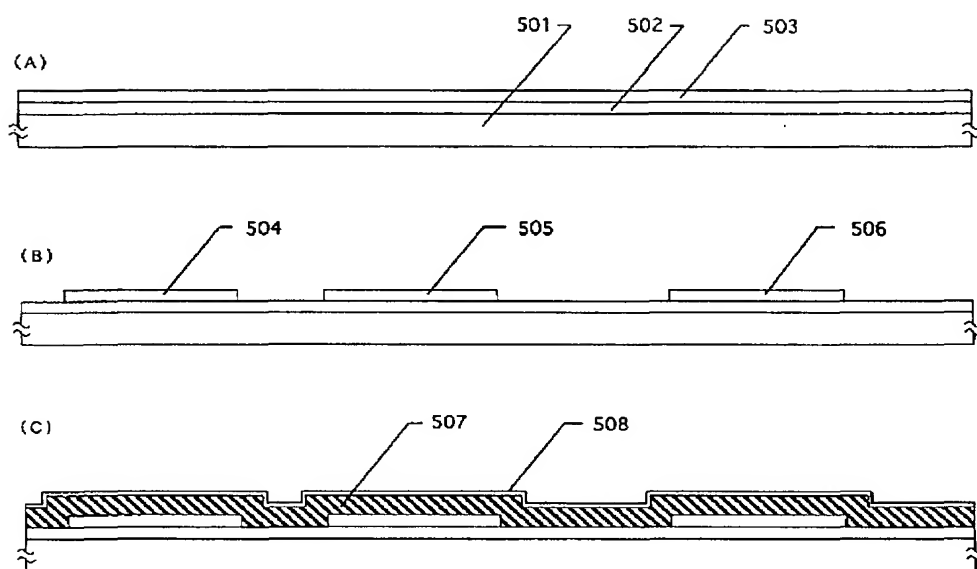
インバータ



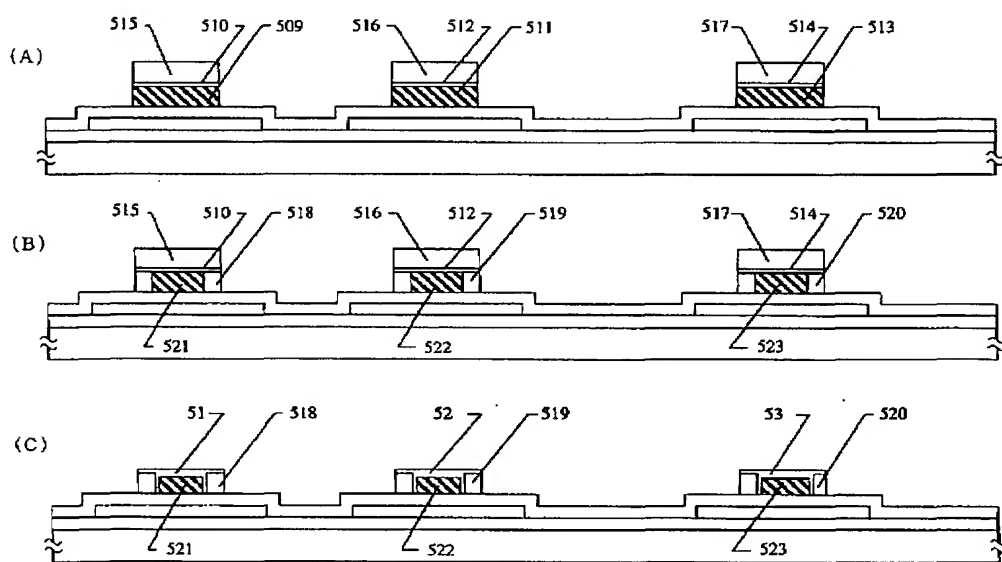
【図4】



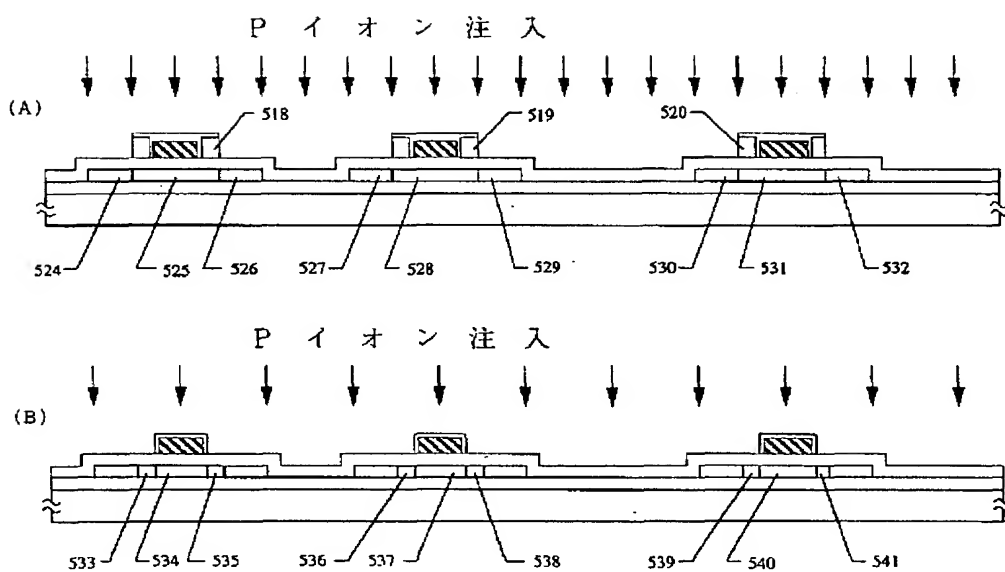
【図5】



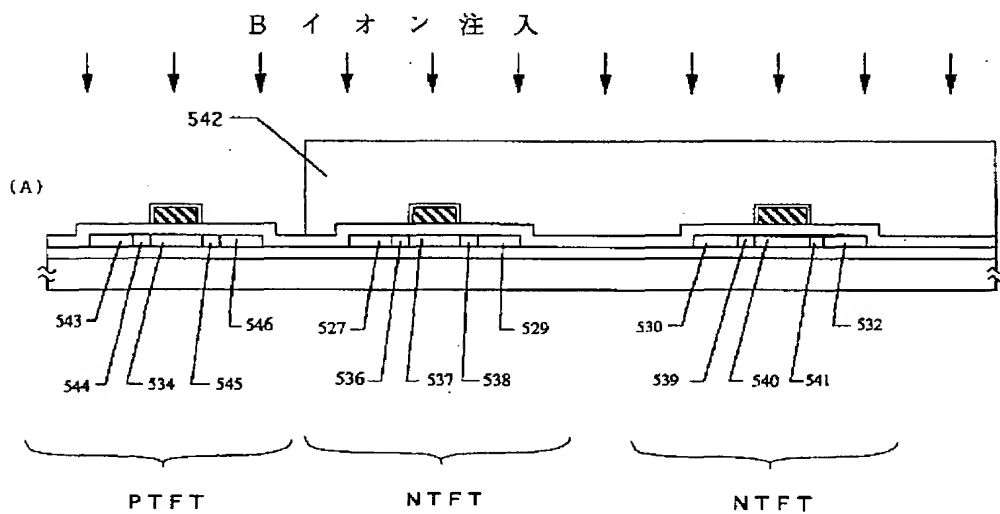
【図6】



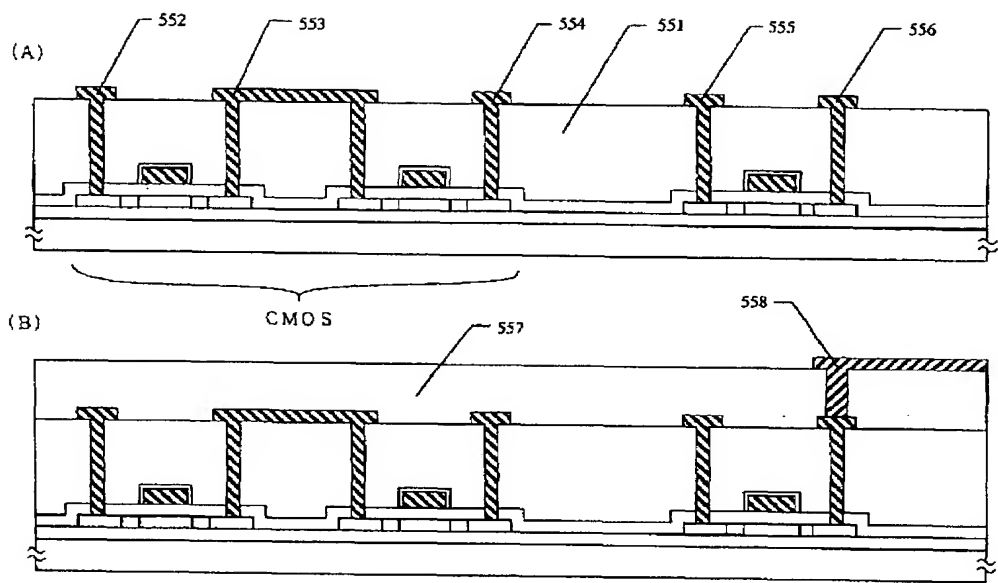
【図7】



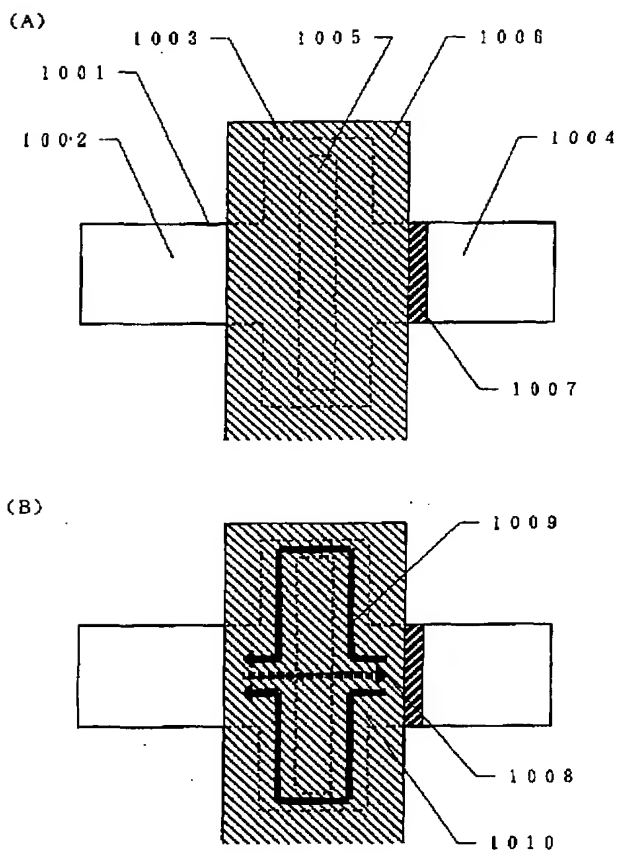
【図8】



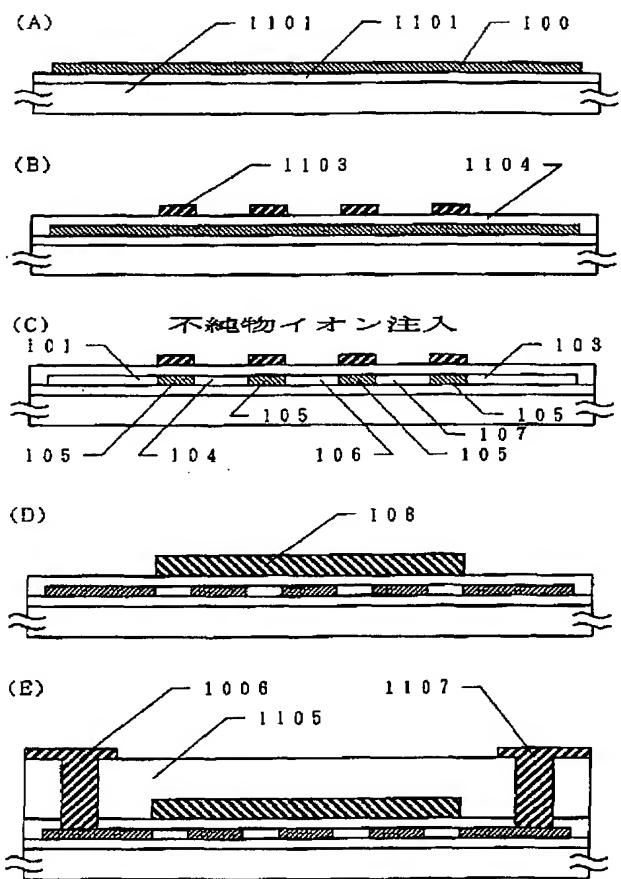
【図 9】



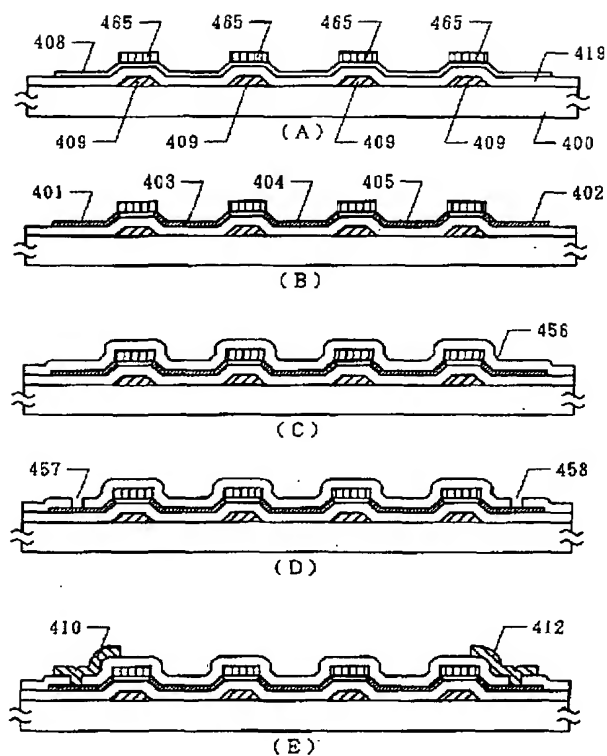
【図 10】



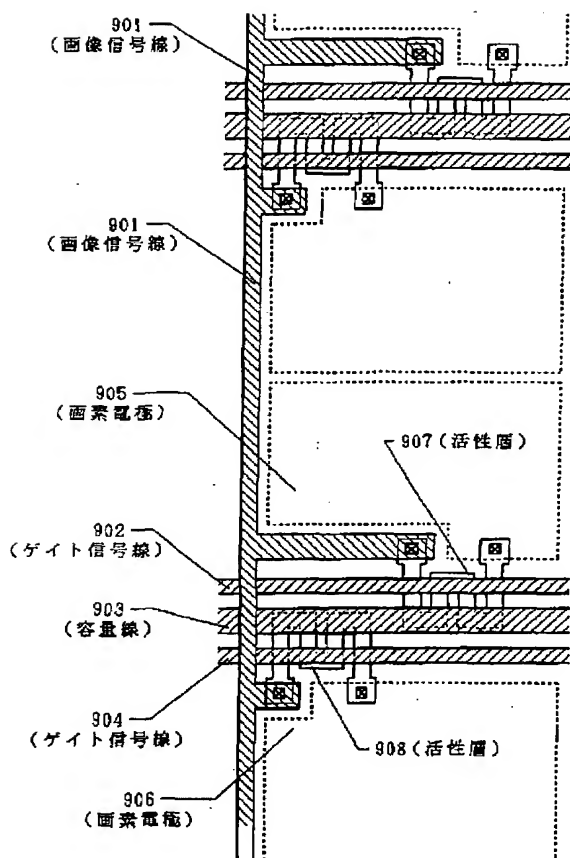
【図 11】



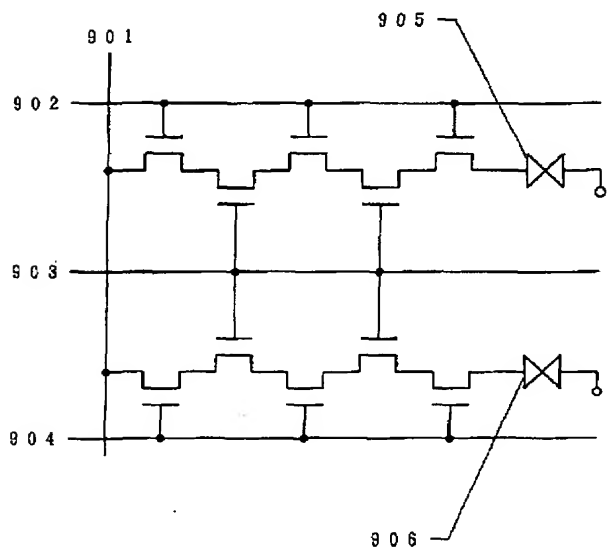
【図12】



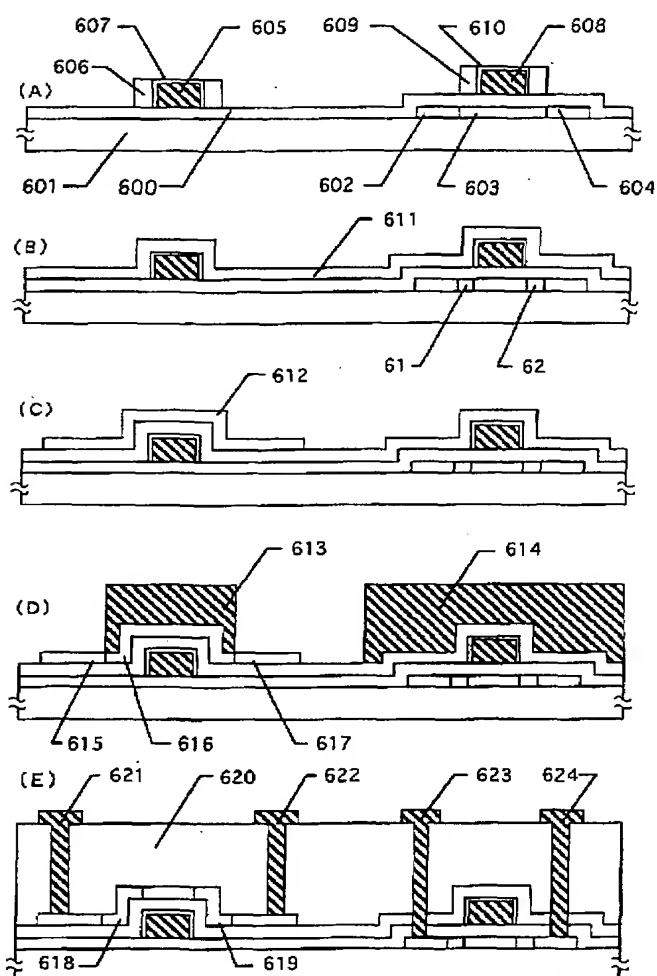
【図13】



【図14】



【図15】



フロントページの続き

(72) 発明者 寺本 聡
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内